

UTILITY PATENT APPLICATION TRANSMITTAL

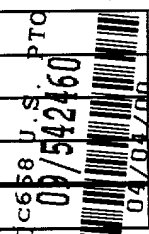
(Only for new nonprovisional applications under 37 CFR 1.53(b))

Attorney Docket No. 862.C1883

First Named Inventor or Application Identifier

TATSURO YAMAZAKI

Express Mail Label No.



APPLICATION ELEMENTS

See MPEP chapter 600 concerning utility patent application contents.

ADDRESS TO:

Assistant Commissioner for Patents
Box Patent Application
Washington, DC 20231

1. ☐ Fee Transmittal Form
(Submit an original, and a duplicate for fee processing)

2. ☒ Specification Total Pages
(Japanese Language)

3. ☒ Drawing(s) (35 USC 113) Total Sheets
(Japanese Language)

4. ☒ Oath or Declaration Total Pages

- a. ☐ Newly executed (original or copy)
b. ☒ Unexecuted for information purposes
c. ☐ Copy from a prior application (37 CFR 1.63(d))
(for continuation/divisional with Box 17 completed)
[Note Box 5 below]

i. ☐ **DELETION OF INVENTOR(S)**
Signed Statement attached deleting inventor(s)
named in the prior application, see 37 CFR
1.63(d)(2) and 1.33(b).

5. ☒ Incorporation By Reference (useable if Box 4c is checked)
The entire disclosure of the prior application, from which a copy of the
oath or declaration is supplied under Box 4c, is considered as being
part of the disclosure of the accompanying application and is hereby
incorporated by reference therein.

6. ☐ Microfiche Computer Program (Appendix)

7. Nucleotide and/or Amino Acid Sequence Submission
(if applicable, all necessary)

- a. ☐ Computer Readable Copy
b. ☐ Paper Copy (identical to computer copy)
c. ☐ Statement verifying identity of above copies

ACCOMPANYING APPLICATION PARTS

8. ☐ Assignment Papers (cover sheet & document(s))
9. ☐ 37 CFR 3.73(b) Statement ☐ Power of Attorney
(when there is an assignee)
10. ☐ English Translation Document (if applicable)
11. ☐ Information Disclosure Statement (IDS)/PTO-1449 ☐ Copies of IDS Citations
12. ☐ Preliminary Amendment
13. ☒ Return Receipt Postcard (MPEP 503)
(Should be specifically itemized)
14. ☐ Small Entity Statement(s) ☐ Statement filed in prior application Status still proper and desired
15. ☐ Certified Copy of Priority Document(s)
(if foreign priority is claimed)
16. ☒ Other: Communication

17. If a CONTINUING APPLICATION, check appropriate box and supply the requisite information:

☐ Continuation ☐ Divisional ☐ Continuation-in-part (CIP) of prior application No. _____

18. CORRESPONDENCE ADDRESS

☒ Customer Number or Bar Code Label or ☐ Correspondence address below
(Insert Customer No. or Attach bar code label here)

NAME

Address

City

State

Zip Code

Country

Telephone

Fax

明 細 書

発明の名称

画像形成装置

技術分野

本発明は、電子源として例えば冷陰極の電子放出素子を用い、これら電子放出素子をマトリクス状に配列した画像形成装置と該装置における画像形成方法に関する。

発明の背景

従来から、電子放出素子として熱陰極素子と冷陰極素子の2種類が知られている。このうち冷陰極素子では、例えば表面伝導型放出素子や、電界放出型素子（以下、FE型と記す）や、金属／絶縁層／金属型放出素子（以下、MIM型と記す）、などが知られている。

表面伝導型放出素子としては、例えば、M. I. Elinson, Radio Eng. Electron Phys., 10, 1290, (1965)や、後述する他の例が知られている。

表面伝導型放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。この表面伝導型放出素子としては、前記エリンソン等によるSnO₂ 薄膜を用いたものの他に、Au薄膜によるもの[G. Dittmer: "Thin Solid Films", 9, 317 (1972)]や、In₂O₃/SnO₂ 薄膜によるもの[M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 (1975)]や、カーボン薄膜によるもの[荒木久 他: 真空、第26巻、第1号、22 (1983)] 等が報告されている。

これらの表面伝導型放出素子の素子構成の典型的な例として、図10に前述のM. Hartwellらによる素子の平面図を示す。

同図において、符号3001は基板を示す。符号3004はスパッタで形成された金属酸化物よりなる導電性薄膜を示す。導電性薄膜3004は

図10に示すようにH字形の平面形状に形成されている。導電性薄膜3004に後述の通電フォーミングと呼ばれる通電処理を施すことにより、電子放出部3005が形成される。図中の間隔Lは、0.5~1 [mm]、Wは、0.1 [mm]で設定されている。尚、図示の便宜から、電子放出部3005は導電性薄膜3004の中央に矩形の形状で示したが、これは模式的なものであり、実際の電子放出部の位置や形状を忠実に表現しているわけではない。

M. Hartwell らによる素子をはじめとして上述の表面伝導型放出素子においては、電子放出を行う前に導電性薄膜3004に通電フォーミングと呼ばれる通電処理を施すことにより電子放出部3005を形成するのが一般的であった。即ち、通電フォーミングとは、前記導電性薄膜3004の両端に一定の直流電圧、もしくは、例えば1V/分程度の非常にゆっくりとしたレートで昇圧する直流電圧を印加して通電し、導電性薄膜3004を局所的に破壊もしくは変形もしくは変質せしめ、電氣的に高抵抗な状態の電子放出部3005を形成することである。尚、局所的に破壊もしくは変形もしくは変質した導電性薄膜3004の一部には、亀裂が発生する。前記通電フォーミング後に導電性薄膜3004に適宜の電圧を印加した場合には、前記亀裂付近において電子放出が行われる。

また、FE型の例は、例えば、W. P. Dyke & W. W. Dolan, "Field emission", Advance in Electron Physics, 8, 89 (1956)や、あるいは、C. A. Spindt, "Physical properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 46, 5248 (1976)などが知られている。

FE型の素子構成の典型的な例として、図11に前述のC. A. Spindtらによる素子の断面図を示す。同図において、符号3010は基板で、符号3011は導電材料よりなるエミッタ配線、符号3012はエミッタコ

ーン、符号3013は絶縁層、符号3014はゲート電極を示す。本素子は、エミッタコーン3012とゲート電極3014の間に適宜の電圧を印加することにより、エミッタコーン3012の先端部より電界放出を起こさせるものである。

また、FE型の他の素子構成として、図11に示すような積層構造ではなく、基板上に基板平面とほぼ平行にエミッタとゲート電極を配置した例もある。

また、MIM型の例としては、例えば、C. A. Meed, "Operation of tunnel-emission Devices, J. Appl. Phys., 32, 646 (1961)などが知られている。MIM型の素子構成の典型的な例を図12に示す。

同図は断面図であり、図12において、符号3020は基板で、符号3021は金属よりなる下電極、符号3022は厚さ100オングストローム程度の薄い絶縁層、符号3023は厚さ80～300オングストローム程度の金属よりなる上電極を示す。MIM型においては、上電極3023と下電極3021の間に適宜の電圧を印加することにより、上電極3023の表面より電子放出を起こさせるものである。

上述の冷陰極素子は、熱陰極素子と比較して低温で電子放出を得ることができるため、加熱用ヒータを必要としない。従って、熱陰極素子よりも構造が単純であり、微細な素子を作成可能である。また、基板上に多数の素子を高い密度で配置しても、基板の熱溶融などの問題が発生しにくい。また、熱陰極素子がヒータの加熱により動作するため応答速度が遅いのは異なり、冷陰極素子の場合には応答速度が速いという利点もある。

このため、冷陰極素子を応用するための研究が盛んに行われてきている。例えば、表面伝導型放出素子は、冷陰極素子のなかでも特に構造が単純で製造も容易であることから、大面積に互り多数の素子を形成できる利点がある。そこで、例えば本出願人による特開昭64-31332号公報にお

いて開示されるように、多数の素子を配列して駆動するための方法が研究されている。

また、表面伝導型放出素子の応用については、例えば、画像表示装置、画像記録装置などの画像形成装置や、荷電ビーム源、等が研究されている。

特に、画像表示装置への応用としては、例えば本出願人によるUSP 5, 066, 883や特開平2-257551号公報や特開平4-28137号公報において開示されているように、表面伝導型放出素子と電子ビームの照射により発光する蛍光体とを組み合わせる用いた画像表示装置が研究されている。表面伝導型放出素子と蛍光体とを組み合わせる用いた画像表示装置は、従来の他の方式の画像表示装置よりも優れた特性が期待されている。例えば、近年普及してきた液晶表示装置と比較しても、自発光型であるためバックライトを必要としない点や、視野角が広い点が優れていると言える。

また、F E 型を多数個ならべて駆動する方法は、例えば本出願人による USP 4, 904, 895 に開示されている。また、F E 型を画像表示装置に応用した例として、例えば、R. Meyer らにより報告された平板型表示装置が知られている [R. Meyer: "Recent Development on Micro-tips Display at LETI", Tech. Digest of 4th Int. Vacuum Micro electronics Conf., Nagahama, pp. 6~9 (1991)]。

また、MIM型を多数個並べて画像表示装置に応用した例は、例えば本出願人による特開平3-55738号公報に開示されている。

上記のような電子放出素子を用いた画像形成装置のうちで、奥行きのない平面型表示装置は省スペースかつ軽量であることから、ブラウン管型の表示装置に置き換わるものとして注目されている。

図 1 3 は、平面型の画像表示装置をなす表示パネル部の一例を示す斜視図であり、内部構造を示すためにパネルの一部を切り欠いて示している。

図中、符号 3 1 1 5 はリアプレート、符号 3 1 1 6 は側壁、符号 3 1 1 7 はフェースプレートを示し、リアプレート 3 1 1 5、側壁 3 1 1 6 およびフェースプレート 3 1 1 7 により、表示パネルの内部を真空に維持するための外囲器（気密容器）が形成されている。

リアプレート 3 1 1 5 には基板 3 1 1 1 が固定されているが、この基板 3 1 1 1 上には冷陰極素子 3 1 1 2 が、 $n \times m$ 個形成されている。（ n 、 m は 2 以上の正の整数であり、目的とする表示画素数に応じて適宜設定される）。また、前記 $n \times m$ 個の冷陰極素子 3 1 1 2 は、図 1 3 に示すとおり、 m 本の行方向配線 3 1 1 3 と n 本の列方向配線 3 1 1 4 により配線されている。これら基板 3 1 1 1、冷陰極素子 3 1 1 2、行方向配線 3 1 1 3 および列方向配線 3 1 1 4 によって構成される部分をマルチ電子源と呼ぶ。また、行方向配線 3 1 1 3 と列方向配線 3 1 1 4 の少なくとも交差する部分には、両配線間に絶縁層（不図示）が形成されており、電気的な絶縁が保たれている。

フェースプレート 3 1 1 7 の下面には、蛍光体からなる蛍光膜 3 1 1 8 が形成されており、赤（R）、緑（G）、青（B）の 3 原色の蛍光体（不図示）が塗り分けられている。また、蛍光膜 3 1 1 8 をなす上記各色蛍光体の間には黒色体（不図示）が設けられており、さらに蛍光膜 3 1 1 8 のリアプレート 3 1 1 5 側の面には、A 1 等からなるメタルバック 3 1 1 9 が形成されている。

図中の $Dx_1 \sim Dx_m$ および $Dy_1 \sim Dy_n$ および H_v は、当該表示パネルと不図示の電気回路とを電氣的に接続するために設けた気密構造の電気接続用端子である。 $Dx_1 \sim Dx_m$ はマルチ電子源の行方向配線 3 1 1 3 と、 $Dy_1 \sim Dy_n$ はマルチ電子源の列方向配線 3 1 1 4 と、 H_v はメタルバック 3 1 1 9 と各々電氣的に接続されている。

また、上記気密容器の内部は 10^{-6} [torr] 程度の真空に保持されてお

り、画像表示装置の表示面積が大きくなるにしたがい、気密容器内部と外部の気圧差によるリアプレート 3 1 1 5 およびフェースプレート 3 1 1 7 の変形あるいは破壊を防止する手段が必要となる。そのため、図 1 3 においては、比較的薄いガラス板からなり大気圧を支えるための構造支持体（スパーサあるいはリブと呼ばれる） 3 1 2 0 が設けられている。このようにして、マルチビーム電子源が形成された基板 3 1 1 1 と蛍光膜 3 1 1 8 が形成されたフェースプレート 3 1 1 6 間は通常サブミリないし数ミリに保たれ、前述したように気密容器内部は高真空に保たれている。

以上説明した表示パネルを用いた画像表示装置は、容器外端子 D_{x1} ないし D_{xm} と D_{y1} ないし D_{yn} を通じて各冷陰極素子 3 1 1 2 に選択的に電圧を印加すると、各冷陰極素子 3 1 1 2 から電子が放出される。それと同時にメタルバック 3 1 1 9 に容器外端子 H_v を通じて数百 [V] ないし数千 [kV] の高電圧を印加して、上記放出された電子を加速し、フェースプレート 3 1 1 7 の内面に衝突させる。これにより、蛍光膜 3 1 1 8 をなす各色の蛍光体が励起されて発光する。画像の表示は、個々に素子の駆動を切り替えていく点順次走査によるインターレース（飛び越し）走査や、ライン毎に素子の駆動を切り替えていく線順次走査によるノンインターレース走査（非飛び越し走査またはプログレッシブ走査）と呼ばれる方法を採用することができる。また、階調を表現するには、所望の輝度レベルに対応させて、電子が蛍光体に連続して照射される時間を制御してやることにより表示輝度を変える事ができる。

上述した画像形成装置において、1 ラインの蛍光体を同時に発光させる線順次走査をとる場合、1 ライン上の蛍光体を順次走査して発光させる点順次走査に比べて個々の素子の駆動時間が長くなり、蛍光体への電子の照射時間が長くなる。このような蛍光体への電子照射時間の増加は階調表現の幅を広げることに繋がる。しかし本発明者らは更なる鋭意研究の結果、

蛍光体への電子照射時間が増えるほど蛍光体の輝度特性はリニア性を失う傾向を持っており、高品位な階調表現を実現するためには蛍光体への電子照射時間が所定の時間を超えないよう設定すると好適であることを見出した。なお、前記の設定条件を満たすために、1フレームを構成する走査線（例えば480本）の各々の選択期間においてクランプ期間（蛍光体へ電子を照射させない時間）を増やす方法が考えられるが、この方法によると表示画像が暗くなってしまう不具合がある。

発明の要約

本発明は、上述の実情を踏まえて、より高品位な階調表現を実現することができ画像形成装置を提供することを目的とする。

本願に係わる画像形成装置の発明の一つは、行と列のマトリクス状に配列された複数の電子放出素子と、該電子放出素子から放出される電子により発光する蛍光体とを含む画像形成装置であって、入力画像信号のフレームレートを変換するフレームレート変換手段を有しており、該フレームレート変換手段が出力する信号は、線順次走査時に行毎の前記電子放出素子から電子が前記蛍光体に連続して照射される最大時間間隔が、前記蛍光体への電子照射時間に応じて変化する前記蛍光体の輝度特性においてリニア性を実質的に損なわない時間となる信号であることを特徴とする。

また、本願に係わる画像形成装置の発明の一つは、行と列のマトリクス状に配列された複数の電子放出素子と、該電子放出素子から放出される電子により発光する蛍光体とを含む画像形成装置であって、入力画像信号のフレームレートを変換するフレームレート変換回路を有しており、該フレームレート変換回路が出力する信号は、線順次走査時に行毎の前記電子放出素子から電子が前記蛍光体に連続して照射される最大時間間隔が、前記蛍光体への電子照射時間に応じて変化する前記蛍光体の輝度特性においてリニア性を実質的に損なわない時間となる信号であることを特徴とする。

上記各発明において、前記フレームレートの変換は、インタレース走査用信号をノンインタレース走査用信号に変換すると同時に行うものであるとよい。

また、上記各発明は、前記フレームレートが変換された信号によりパルス幅変調を行う構成において特に好適である。

また、上記各発明においては、前記フレームレートを変換することにより、線順次走査時に行毎の前記電子放出素子から電子が前記蛍光体に連続して照射される最大時間間隔を、前記フレームレートを変換しない場合と比べて短くするものであるとよい。

また、本願に係わる画像形成装置の発明の一つは、行と列のマトリクス状に配列された複数の電子放出素子と、該電子放出素子から放出される電子により発光する蛍光体とを含む画像形成装置であって、信号処理手段を有しており、該信号処理手段は、入力される信号を、線順次走査時に行毎の前記電子放出素子から電子が前記蛍光体に連続して照射される最大時間間隔が、前記蛍光体への電子照射時間に応じて変化する前記蛍光体の輝度特性においてリニア性を実質的に損なわない時間となる信号に変換するものであることを特徴とする。

また、本願に係わる画像形成装置の発明の一つは、行と列のマトリクス状に配列された複数の電子放出素子と、該電子放出素子から放出される電子により発光する蛍光体とを含む画像形成装置であって、信号処理回路を有しており、該信号処理回路は、入力される信号を、線順次走査時に行毎の前記電子放出素子から電子が前記蛍光体に連続して照射される最大時間間隔が、前記蛍光体への電子照射時間に応じて変化する前記蛍光体の輝度特性においてリニア性を実質的に損なわない時間となる信号に変換するものであることを特徴とする。

上記各発明において、前記信号処理は、インタレース走査用信号をノン

また上記各発明は、前記信号処理された信号によりパルス幅変調を行う構成において特に好適である。

また、上記各発明において、前記電子放出素子としては表面伝導型電子放出素子を好適に採用しうる。

また、上記各発明は、前記電子放出素子から放出される電子を加速する電位が与えられる電極を有しており、該電極には、前記電子放出素子に電子を放出するために与えられる電位よりも500V以上高い電位が与えられる構成において好適であり、また、前記電極に、前記電子放出素子に電子を放出するために与えられる電位よりも3kV以上高い電位が与えられる場合にはより好適に採用されうる。更には、前記電極に、前記電子放出素子に電子を放出するために与えられる電位よりも5kV以上高い電位が与えられる場合には、より好適に採用されうる。

上記の各発明によれば、線順次走査時に行毎(ライン毎)の電子放出素子から蛍光体に電子が連続して照射される最大時間間隔が、蛍光体への電子照射時間に応じて変化する蛍光体輝度特性におけるリニア性を実質的に損なわない時間内である。この事により、線順次走査時に可能な幅広い階調表現をより高品位に実施することが可能となる。更に、上記設定時間をフレームレート変換により行うことにより表示画像の明るさの低下を抑制することができる。更に、インタレース／ノンインタレース(プログレッシブ)変換の際に、これと同時にフレームレート変換することができる。本発明は、入力される画像信号が、本発明による信号処理を介さずに駆動信号として入力されると、前記最大時間間隔が前記リニア性を実質的に損なってしまう構成において極めて有用である。

本発明の他の特徴や利点は、添付した図面を参照してなされる以下の説明により明らかになるであろう。尚、これら図面において同じ或いは共通

する部分は同じ符号を付して示している。

図面の簡単な説明

本願明細書の一部を構成し、これに組込まれた添付図面は、本願の実施例を例示し、本願発明の原理を説明するために供されるものである。

図１Ａ～１Ｃは、本発明の画像形成装置の一実施例であるＳＥＤパネルの駆動回路のブロック図である。

図２は、本実施例におけるＩＰ変換のための構成例を示すブロック図である。

図３は、図１Ａ～１Ｃに示した駆動回路のタイミングチャートである。

図４は、図１Ａ～１Ｃに示した構成においてフレームレート変換なしの時の表示パネル部の階調データ発光輝度特性を示すグラフである。

図５は、フレームレート変換なしの時の階調データによる白色色度点の変化の様子を示すグラフである。

図６は、フレームレート変換なし／フレームレート変換ありの時のパネル発光特性の直線近似の様子を示すグラフである。

図７は、フレームレート変換ありの時の階調データによる白色の色度点の変化の様子を示すグラフである。

図８は、図６中のフレームレート変換ありの時の階調特性を抜き出したグラフである。

図９は、図６中のフレームレート変換なしの時の階調特性を抜き出したグラフである。

図１０は、従来知られた表面伝導型放出素子の一例を示す図である。

図１１は、従来知られたＦＥ型素子の一例を示す図である。

図１２は、従来知られたＭＩＭ型素子の一例を示す図である。

図１３は、従来の画像表示装置の表示パネルの一部を切り欠いて示した

斜視図である。

発明の好適な実施例

以下、添付図面を参照して本発明の好適な実施例を図面を参照して説明する。

図1 A乃至1 Cは、本発明の画像形成装置の一実施例であるSED (Surface Conduction type of Electron-Emitting Display) パネルの駆動回路のブロック図を示し、図2は図1 A乃至1 Cに示した駆動回路のタイミングチャートを示す図である。

図1 Bにおいて、符号P 2 0 0 0は表示パネルを示し、その構造は図1 3に示した従来例と実質的に同じである。本実施例においては4 8 0×1 9 2 0個の表面伝導型素子P 2 0 0 1が画面水平方向(図では上下方向)に延びる4 8 0行の行配線と画面垂直方向(図では左右方向)に延びる1 9 2 0列の列配線とを用いてマトリクス配線され、各表面伝導型素子P 2 0 0 1からの放出電子ビームが、高圧電源部P 3 0から印加される高圧電圧により加速され不図示の蛍光体に照射されることにより発光を得るものである。この不図示の蛍光体は用途に応じて種々の色配列を取ることが可能であるが、一例としてRGB縦ストライプ状の色配列とする。

本実施例においては以下、前記水平6 4 0 (RGBトリオ)×垂直4 8 0ラインの画素数の表示パネルにNTSC方式相当のテレビ画像を表示する応用例を示すが、NTSC方式に限らずHDTVのような高精細な画像やコンピュータの出力画像など、解像度や画像フレームレートが異なる画像信号に対しても、ほぼ同一の構成で容易に対応できる。

符号P 1 (図1 C)はNTSCデコーダ部を示し、NTSCデコーダ部P 1は、NTSC方式のコンポジットビデオ入力を受け輝度信号(Y)と色差信号(Y-R, Y-B)を出力する。このユニット内にて入力ビデオ

符号 17803 は補間回路を示し、補間回路 17803 は遅延回路 17802 から出力される遅延された前のフィールドの信号により、補間すべき走査線信号を作成する。符号 17808 はフィールド内補間回路を示し、フィールド内補間回路 17808 は一つおきの走査線信号の間の走査線信号を他の複数の走査線信号、例えば前記一つおきの走査線信号、を合成演算することによって作成する回路である。符号 17804 は遅延回路を示し、遅延回路 17804 はフィールド内補間を行うために画像信号を遅延させて出力する。符号 17805 は補間回路を示し、補間回路 17805 は遅延回路 17804 から出力される前の走査線信号と、遅延量の異なる走査線信号、例えば遅延されずに入力される走査線信号とを合成することにより、補間すべき走査線信号を作成する。符号 17806 は合成回路を示し、合成回路 17806 は動き検出部 17801 からの信号により、補間回路 17803 と補間回路 17805 からの補間信号の合成比率を決定して、プログレッシブ信号を出力する。この変換を行う際に、信号がデジタル信号であってもよく、遅延回路としてはメモリを用いることができる。また、この IP 変換のための構成は、ハードウェア構成によるものに限らず、演算回路を用いてソフトウェアで行ってもよい。また、フィールド間補間、フィールド内補間のいずれか一方のみを行うものであってもよい。

符号 P 2（図 1 C）はタイミング発生部を示し、タイミング発生部 P 2 は、I/P 変換部 P 3 1 から出力されるプログレッシブ変換されたアナログ RGB 信号を、SED パネルを輝度変調するためのデジタル階調信号に変換するために必要な以下のタイミング信号を発生する。

- ・ I/P変換部P31からのRGBアナログ信号をアナログ処理部P3にて直流再生するためのクランプパルス
- ・ I/P変換部P31からのRGBアナログ信号にアナログ処理部P3にてブランク期間を付加するためのブランキングパルス（BLKパルス）

- ・RGBアナログ信号のレベルをビデオ検出部P 4にて検出するための検出パルス

・アナログRGB信号をA/D部P6にてデジタル信号に変換するためのサンプルパルス（不図示）

- ・ タイミング発生部P 2 内で生成されCLK 1 入力時にはタイミング発生部P 2 内のPLL回路によりCLK 1 に同期する自走CLK信号（CLK 2）

・タイミング発生部P 2 内でCLK 2 を基に生成される同期信号（SYN C 2）。

符号 P 3（図 1 A）は、I / P 変換部 P 3 1 からの出力原色信号それぞれに備えられるアナログ処理部を示し、アナログ処理部 P 3 は主に以下の動作をする。

・タイミング発生部P 2（図1 C）からクランプパルスを受け直流再生を行なう

- ・ タイミング発生部P 2からB L Kパルスを受けブランキング期間を付加する

・MPU（中央演算処理装置）P11（図1A）を中心に構成されるシステムコントロール部の制御出力の一つであるD/A部P14のゲイン調整信号を受け、I/P変換部P31（図1C）から入力された原色信号の振幅制御を行なう

・MPUP11を中心に構成されるシステムコントロール部の制御出力の一つであるD/A部P14のオフセット調整信号を受け、I/P変換部P31から入力された原色信号の黒レベル制御を行なう

符号 P 4（図 1 A）はビデオ検出部を示し、ビデオ検出部 P 4 は入力される映像信号レベルあるいは、アナログ処理部 P 3 にて制御された後の映像信号レベルを検出するためのもので、タイミング発生部 P 2 から検出パ

ルスを受け、MPUP 11を中心に構成されるシステムコントロール部の制御入力のひとつであるA/D部P15（図1A）により検出結果が読み取られる。

タイミング発生部 P 2 (図 1 C) からの検出パルスは、例えばゲートパルス、リセットパルス、サンプル&ホールド (以下、S/H) パルスの 3 種からなり、ビデオ検出部は例えば積分回路と S/H 回路からなる。

例えばゲートパルスにより入力ビデオ信号の有効期間中、前記の積分回路でビデオ信号を積分し垂直帰線期間に発生するS/HパルスによりS/H回路で積分回路の出力をサンプルする。同垂直帰線期間にA/D部P15により検出結果が読み取られた後リセットパルスで積分回路とS/H回路が初期化される。このような動作でフィールド毎の平均ビデオレベルが検出できる。

符号P 5（図1 A）はLPFを示し、LPFP 5は、A/D部P 6の前段に置かれるプリフィルタ手段である。

A/D部P6（図1A）は、タイミング発生部P2からのサンプルCLKを受け、LPFP5を通過したアナログ原色信号を必要階調数で量子化するA/Dコンバータ手段である。

通常、入力されるビデオ信号はCRTを用いたTV受像機で表示されることを前提としているため、CRTの非線形な発光特性を補正するために γ 処理を施されている。このため本実施例のようにリニアな発光特性を持つパネルにTV画像を表示させる場合、逆ガンマテーブルP7のような階調特性変換手段で γ 処理の効果を打ち消すとよい。

またMPUP 11を中心に構成されるシステムコントロール部の制御入出力のひとつであるI/O制御部P13（図1A）の出力によりこのテーブルデータを切り替えて、発光特性を好みに変えることが出来る。

符号P 9、10（図1A）は、各原色信号毎に備えられる水平1ライン

メモリ手段を示し、ラインメモリ制御部P 2 1の制御信号により、R G Bの3系統並列に入力される輝度データをパネル色配列に応じた順番に並べ替えて1系統の直列信号に変換しラッチ手段P 2 2を介してXドライバ部へ出力する。

本実施例においては各原色信号毎に2個の水平1ラインメモリ手段を備え、一つのラインメモリは水平1ラインあたり640個の点順次な画素データのうち前半320個を書き込み、もうひとつのラインメモリは後半320個のデータを書き込む。そして前半320個のデータを書き込んだ3個のR G Bラインメモリから書き込み時の1.5倍の高速CLKでパネル色配列に応じた順番に読み出すことにより、1系統の直列信号に変換しラッチ手段P 2 2を介してXドライバ部のシフトレジスタP 1 1 0 1 (図1 B)に出力する。同様に後半320個のデータを書き込んだ3個のR G Bラインメモリから書き込み時の1.5倍の高速CLKでパネル色配列に応じた順番に読み出すことにより、1系統の直列信号に変換しラッチ手段P 2 3を介してXドライバ部のシフトレジスタP 1 1 0 3 (図1 B)に出力する。

この例ではXドライバ部の水平シフトレジスタのデータ転送速度を1/2に落とすために2層に輝度データを分ける例を示したが、表示パネルの画素数や表示パネルを駆動するフレーム周波数が高くなった場合には、さらに多層に分ける場合もある。

図1 Aのシステムコントロール部は主にMPUP 1 1、シリアル通信I/F P 1 6、I/O制御部P 1 3、D/A部P 1 4、A/D部P 1 5、データメモリP 1 7、ユーザーSW手段P 1 8から構成される。

システムコントロール部は、ユーザSW手段P 1 8やシリアル通信I/F P 1 6からのユーザー要求を受け、対応する制御信号をI/O制御部P 1 3やD/A部P 1 4から出力することによりその要求を実現する。

このデータ列のうち前半の320個のデータを1水平期間にR、G、B WRT1制御信号によりラインメモリP9に書き込み、後半の320個のデータをR、G、B WRT2制御信号によりラインメモリP10に書き込む。

次の水平期間に各色毎のラインメモリ P 9, P 10 から 2 層同時に表示パネルの色ストライプ順に T 107 のような書き込み時の 1.5 倍の周波数で読み出しすることで T 105、T 106 のような 1 水平期間あたり 960 個の輝度データ列を得る。

図１Ｂの符号Ｐ１００１は、Ｘ、Ｙドライバタイミング発生部を示し、Ｘ、Ｙドライバタイミング発生部Ｐ１００１はＹドライバ制御タイミング発生部Ｐ１９とＸドライバ制御タイミング発生部からの制御信号を受け、Ｘドライバ制御のために以下の信号を出力する。

- ・シフトクロック
- ・シフトレジスタP 1 1 0 1およびP 1 1 0 3に読み込んだデータをPWMジェネレータ部P 1 1 0 2とD/A部P 1 4内の不図示のメモリ手段にフェッチするため及びPWMジェネレータ部P 1 1 0 2とD/A部P 1 4への水平周期のトリガとして作用するLDパルス

前記X、Yドライバタイミング発生部P1001はさらに、Yドライバ制御のためにYシフトレジスタを動かすための水平周期のシフトクロック及び行走査開始トリガを与えるための垂直周期のトリガ信号を出力する。

図1BのシフトレジスタP1101およびP1103は、ラッチ手段P22・P23からの水平周期毎の960個の列配線数の輝度データ列をそれぞれX、Yドライバタイミング発生部P1001からの、図3中のT107のような輝度データに同期したシフトCLKにより読み込み、T108のようなLDパルスによりPWMジェネレータ部P1102に1920

個の1水平列分のデータを一度に転送する。

各列配線毎に備えられるPWMジェネレータ部P1102はシフトレジスタP1101からの輝度データを受け、図3中のT110に示す波形のように水平周期毎にデータの大きさに比例したパルス幅を有するパルス信号を発生する。

各列配線毎に備えられる列配線駆動ドライバP1104はシステムコントロール部のD/A部P14からのIf制御信号を受け、T110のようなIf制御信号に比例した電流振幅を有する駆動電流を発生する。

さらに列配線駆動ドライバP1104はトランジスタなどで構成されるスイッチ手段を備え、PWMジェネレータ部P1102からの出力が有効な期間に列配線に駆動電流を印加し、PWMジェネレータ部P1102からの出力が無効な期間は列配線を接地する。図3中のT111にその列配線駆動波形の一例を示す。

列配線毎に備えられるダイオード手段P1105は、コモン側がVmaxレギュレータP1106に接続される。VmaxレギュレータP1106は電流吸い込みが可能な定電圧源でありダイオード手段P1105と合わせて、表示パネルP2000の1920×480個の各表面伝導型素子に過電圧が印加されるのを防止する保護回路を形成する。

この保護電圧(Vmaxと行配線の走査選択時に印加される-Vssで規定される電位)は、MPUP11を中心に構成されるシステムコントロール部の制御入出力のひとつであるD/A部P14により与えられる。

従って、素子過電圧防止の他、輝度制御の目的でVmax電位(もしくは、-Vss電位)を変化させることも可能である。

Yシフトレジスタ部P1002(図1B)は、X、Yドライバタイミング発生部P1001からの水平周期のシフトクロック及び行走査開始トリガを与えるための垂直周期のトリガ信号を受け行配線を走査するための選

択信号を各行配線毎に備えられるプリドライバ部P 1 0 0 3に順に出力する。

各行配線を駆動する出力部は例えばトランジスタ手段P 1 0 0 6、FET手段P 1 0 0 4、ダイオード手段P 1 0 0 7から構成される。プリドライバ部P 1 0 0 3はこの出力部を応答良く駆動するためのものである。FET手段P 1 0 0 4は行選択時に導通するスイッチ手段で選択時に定電圧レギュレータ部P 1 0 0 5からの $-V_{ss}$ 電位を行配線に印加する。トランジスタ手段P 1 0 0 6は行非選択時に導通するスイッチ手段で非選択時に定電圧レギュレータ部P 1 0 0 6からの V_{uso} 電位を行配線に印加する。図3中のT 1 1 2にその行配線駆動波形の一例を示す。

ダイオード手段P 1 0 0 7は行配線に異常電位発生防止と各行配線を駆動する出力部の保護のために備えられる。

$-V_{ss}$ と V_{uso} 電位を発生する定電圧レギュレータ部P 1 0 0 5、1 0 0 7 (図1B)は、MPUP 1 1を中心に構成されるシステムコントロール部の制御入出力のひとつであるD/A部P 1 4により制御される。

また高圧電源部P 3 0 (図1B)も同様に、MPUP 1 1を中心に構成されるシステムコントロール部の制御入出力のひとつであるD/A部P 1 4により制御される。本実施例では、電子放出素子からの電子を加速する電位として、加速電極に7 k Vを印加した。電子放出素子は、0 V近傍で駆動しているので、加速電圧として実質的にほぼ7 k Vが印加される。

以上説明した構成により、水平6 4 0 (RGB トリオ) ×垂直4 8 0 ラインの画素数の表示パネルにNTSCインターレース信号をプログレッシブ変換すると同時に2倍のフレームレートに変換して画像を表示することが出来る。

次に、本実施例で使用する表示パネルの輝度特性について説明する。

図4はNTSCレートでインターレース走査 (走査周波数: 約1 5. 7

5 kHz) し、階調表現は8ビット(256階調)のパルス幅変調で行った場合のRGB各原色の規格化した階調-輝度特性、およびRGB同時に発光した場合の白色の規格化した階調-輝度特性を示したものである。このときのパルス幅の基本単位は約220 nsであり最大パルス幅は約56 μ sである。またこのときの階調データによる白色色度点の変化の様子を図5に示す。

図4から判るように、RGB各色の発光特性は階調データが大きくなるほど(駆動するパルス印加時間が長くなるほど)輝度特性が飽和する傾向を持ちしかもRGB毎にその飽和の程度が異なっている。RGBの飽和の程度が異なることにより、図5で示すように白色の色度点の変動してしまう。

図1A~図1Cに示した構成により、同じ表示パネルをI/P変換と同時にフレームレートも変換した後8ビット精度でパルス幅変調で行った場合、フレームレート変換したことで走査周波数が倍の31.5 kHzになることから、パルス幅の基本単位は半分の約110 nsであり最大パルス幅は約28 μ sである。

図6に前記フレームレート変換なし/フレームレート変換ありの時のパネル発光特性を直線近似でフィッティングした様子を示す。横軸はフレームレート変換なしの階調データで示してあり、フレームレート変換時は基本単位時間が半分のため横軸の128の値のところが最大パルス幅に相当する。

この図から駆動時間が長くなるほど強い飽和傾向を示すことから、フレームレート変換により直線に近づいていることが分かる。

一般的にJISの標準色標やマンセル色標間の色差に相当するLab表色系での許容色差(ΔE_{Lab})は、 $\Delta E_{Lab} = 10$ 程度と言われており、同量はxyY表色系においては許容色差(Δxy)は $\Delta xy = 0$ 。

0.3程度に相当する。

図 7 に、このフレームレート変換ありの時の階調データによる白色の色度点の変化の様子を示す。この図では図 5 に比べ色度点の変化が少なくなっていることが分かる。図 7 において白色色度点の変化量は (x、y) 座標で ± 0.01 以下の変動に収まっており、ほぼ問題にならないレベルである。

この白色色度点の変化量の許容範囲は使用する表示装置の用途により異なり、例えば一般家庭で使用するＴＶ受像機であれば前述の（ x 、 y ）座標で０．０３以下で十分であるし、精度の高い色再現を求めるモニタであればもっと厳しく変化量を押さえる必要がある。

また図 8 に、図 6 中のフレームレート変換ありの時の階調特性を抜き出した図を示し、図 9 に図 6 中のフレームレート変換なしの時の階調特性を抜き出した図を示す。横軸は最大パルス幅（蛍光体への電子の最大照射時間）を 1 とした規格化駆動時間であり、規格化階調データに相当する。縦軸は最大パルス幅時（蛍光体への電子の最大照射時間での）の発光量を 1 とした規格化輝度である。

図 8 および図 9 を見ると、フレームレート変換により最大パルス幅が半分になることにより蛍光体の飽和特性が大幅に改善していることが判る。

図8および図9には $y = x^r$ で $r = 0.8 \sim 1.0$ のカーブと $r = 1.0$ の直線を合わせて記してある。蛍光体特性はフレームレートを変換した時には r の値が $0.8 \sim 1.0$ の範囲にほぼ収まるが、フレームレートを変換しない時には前記の範囲よりはみ出してしまうことが判る。即ち、図8及び図9の場合、 r の値が $0.8 \sim 1.0$ の範囲であれば許容色差 $\Delta x, y = 0.03$ に収まることで、家庭用のTV受像機など限定された用途においては r の値がおおよそ $0.8 \sim 1.0$ の範囲であれば蛍光体の電子照射時間に応じた輝度特性を直線とみなすことが出来る。

あろうことは明らかであるため、本発明は上述の実施例の構成に限定されるものでなく、添付した特許請求の範囲の記載に基づいて規定されるものである。

[illegible]

信号処理回路を有しており、

該信号処理回路は、入力される信号を、線順次走査時に行毎の前記電子放出素子から電子が前記蛍光体に連続して照射される最大時間間隔が、前記蛍光体への電子照射時間に応じて変化する前記蛍光体の輝度特性においてリニア性を実質的に損なわない時間となる信号に変換するものであることを特徴とする画像形成装置。

(9) 請求項 7 に記載の画像形成装置であって、

前記信号処理は、インタレース走査用信号をノンインタレース走査用信号に変換すると同時に行なわれる。

(10) 請求項7に記載の画像形成装置であって、

前記信号処理された信号によりパルス幅変調を行う手段を更に有する。

(11) 請求項8に記載の画像形成装置であって、

前記信号処理された信号によりパルス幅変調を行う回路を更に有する。

(12) 請求項1に記載の画像形成装置であって、

前記電子放出素子が表面伝導型電子放出素子である。

(13) 請求項7に記載の画像形成装置であって、

前記電子放出素子が表面伝導型電子放出素子である。

(14) 請求項1に記載の画像形成装置であって、

前記電子放出素子から放出される電子を加速する電位が与えられる電極

を有しており、該電極には、前記電子放出素子に電子を放出するために与えられる電位よりも500V以上高い電位が与えられる。

(15) 請求項7に記載の画像形成装置であって、

前記電子放出素子から放出される電子を加速する電位が与えられる電極を有しており、該電極には、前記電子放出素子に電子を放出するために与えられる電位よりも500V以上高い電位が与えられる。

(16) 請求項1に記載の画像形成装置であって、

前記電子放出素子から放出される電子を加速する電位が与えられる電極を有しており、該電極には、前記電子放出素子に電子を放出するために与えられる電位よりも3 kV以上高い電位が与えられる。

(17) 請求項7に記載の画像形成装置であって、

前記電子放出素子から放出される電子を加速する電位が与えられる電極を有しており、該電極には、前記電子放出素子に電子を放出するために与えられる電位よりも3 kV以上高い電位が与えられる。

(18) 請求項1に記載の画像形成装置であって、

前記電子放出素子から放出される電子を加速する電位が与えられる電極を有しており、該電極には、前記電子放出素子に電子を放出するために与えられる電位よりも5 kV以上高い電位が与えられる。

(19) 請求項7に記載の画像形成装置であって、

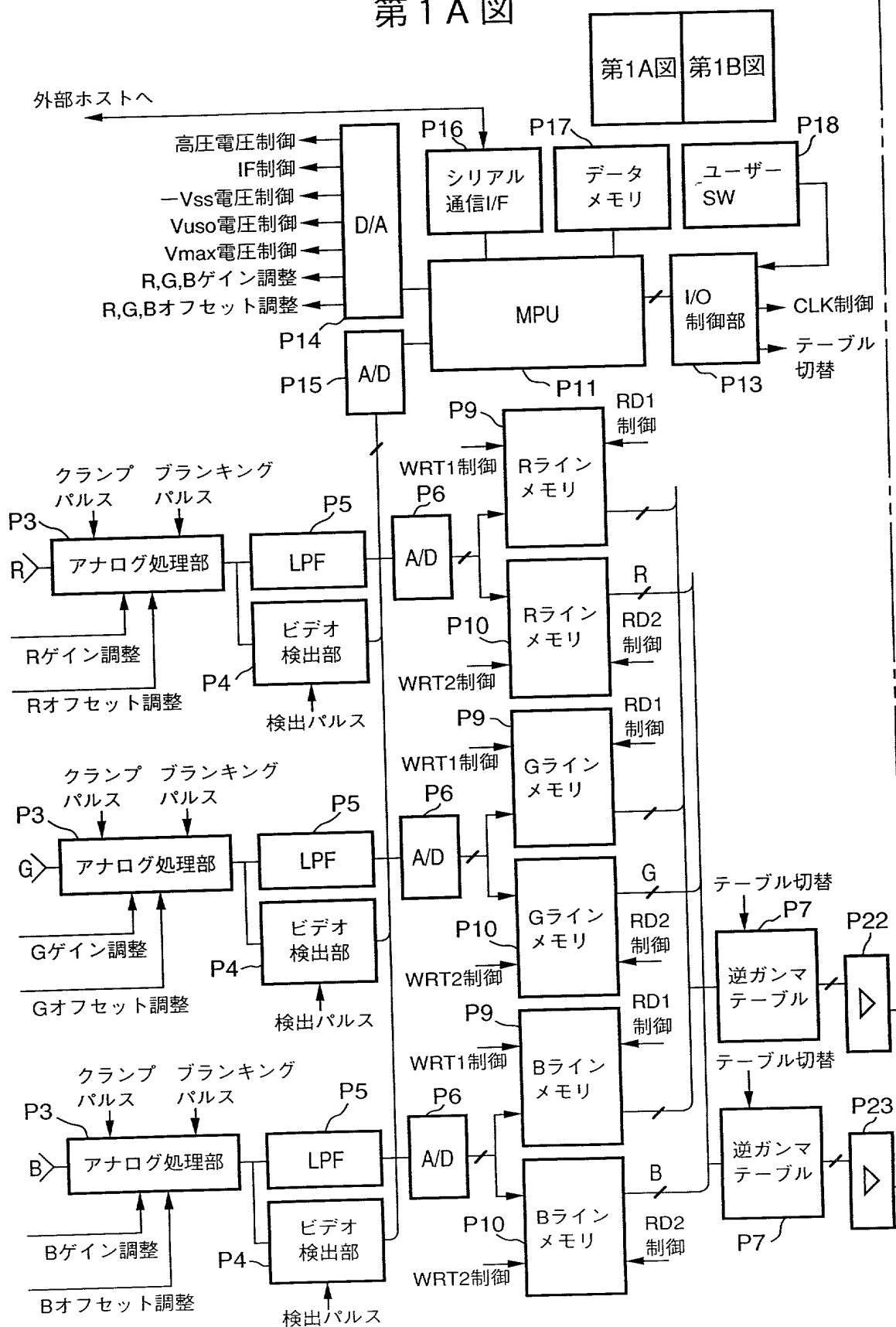
前記電子放出素子から放出される電子を加速する電位が与えられる電極を有しており、該電極には、前記電子放出素子に電子を放出するために与

えられる電位よりも 5 kV 以上高い電位が与えられる。

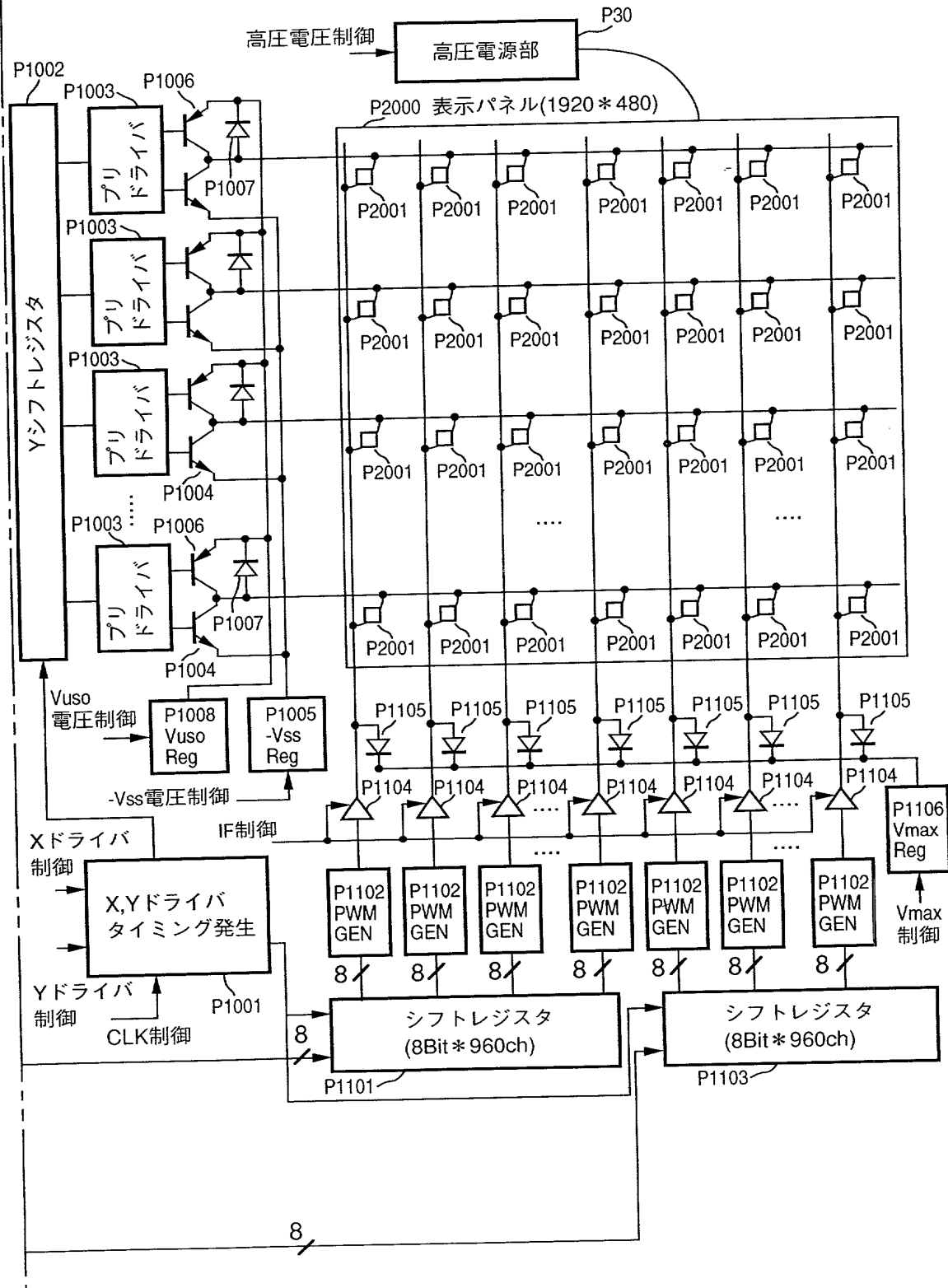
0040400 0942450 0942450

要 約 書

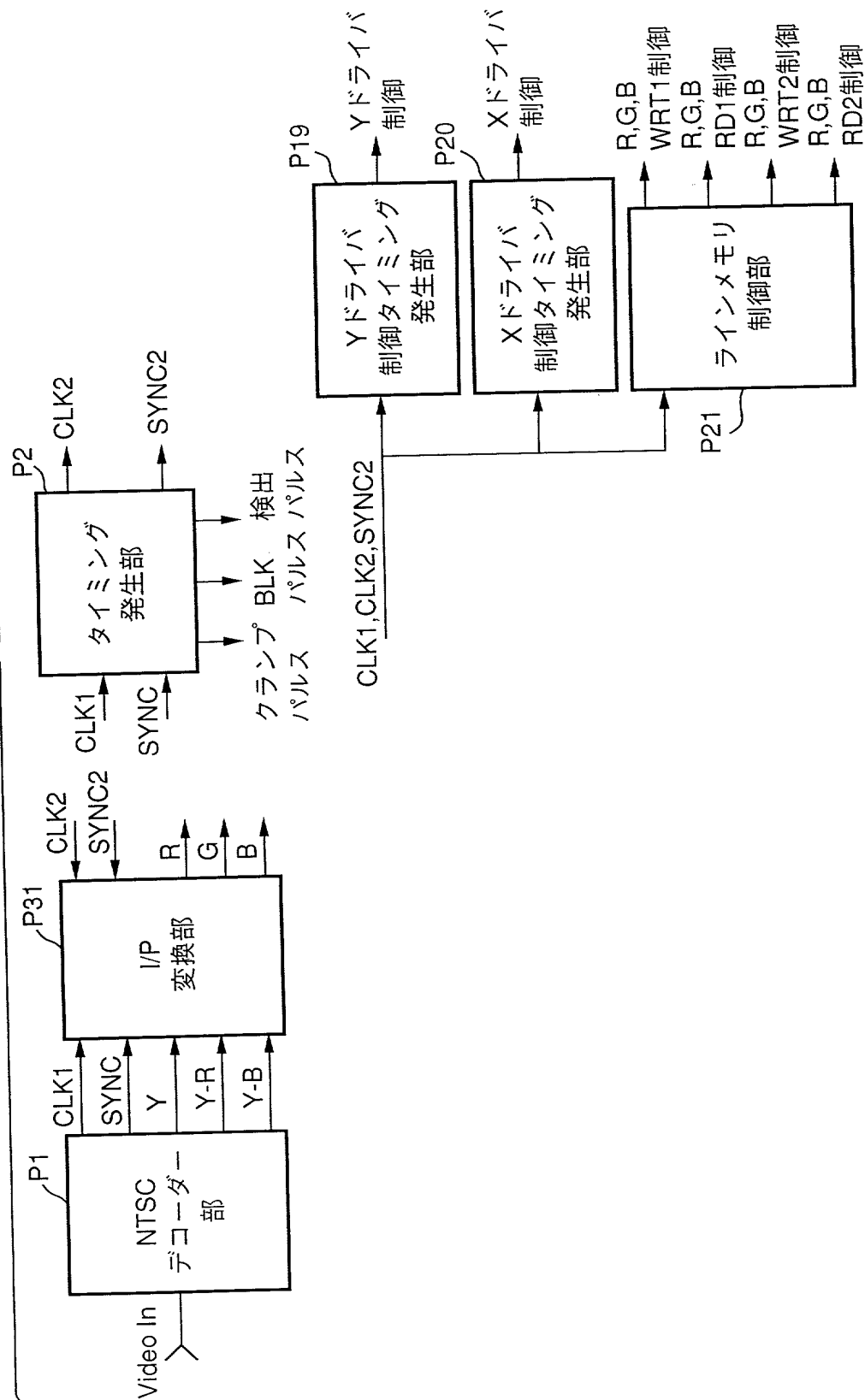
1920×480個の電子放出素子をマトリクス配線し、これら電子放出素子から放出される電子により発光する複数の蛍光体を備えた表示パネルを有する画像形成装置であって、この表示パネルを駆動する回路の一つとして、NTSC方式の画像フレームレートで入力されたインターレース走査信号を2倍のフレームレートで変換すると同時にノンインターレース走査信号に変換するI/P変換部が設けられ、線順次走査時に各行の電子放出素子から電子が蛍光体に連続して照射される最大時間間隔が、蛍光体への電子照射時間に応じて変化する蛍光体の輝度特性においてリニア性を実質的に損なわない時間となる信号となるように制御されている。



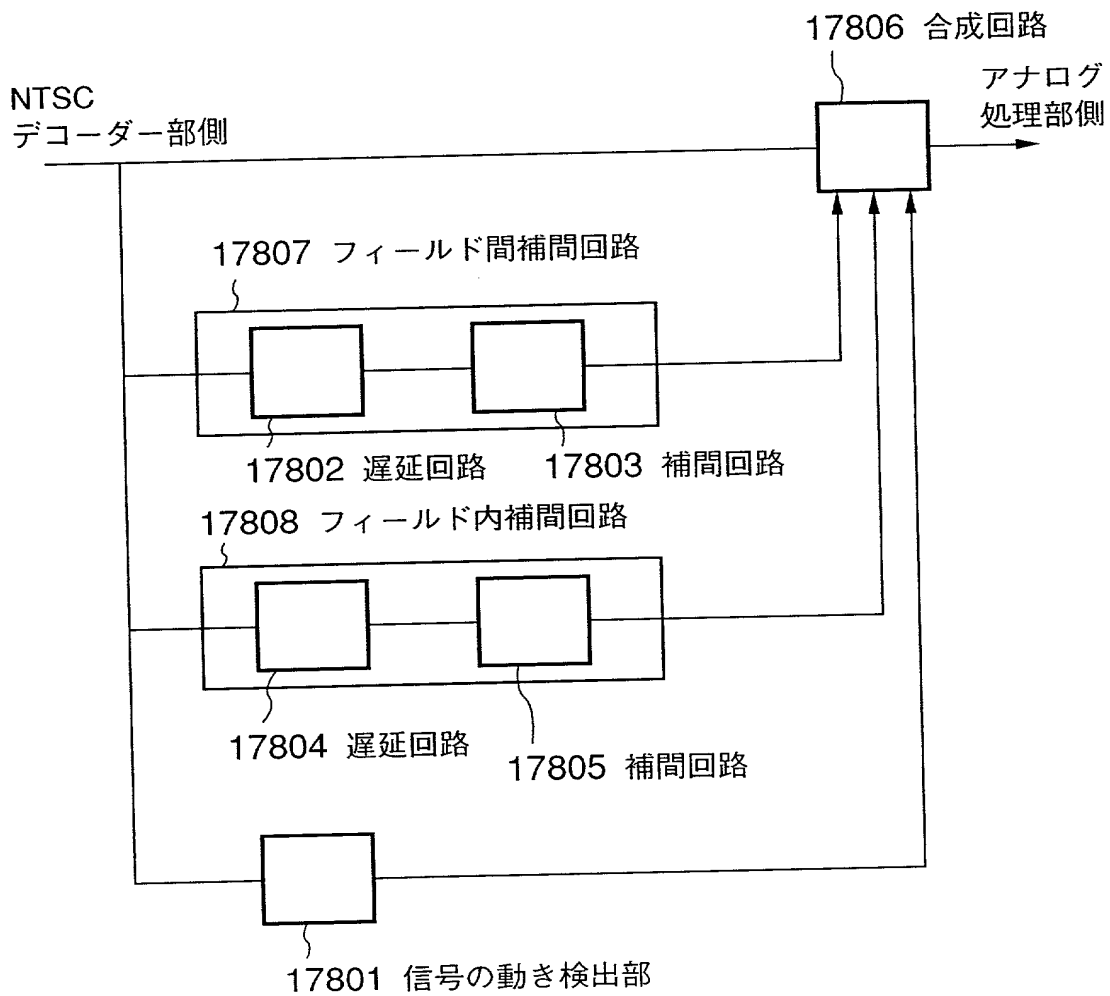
2/15
第1B図



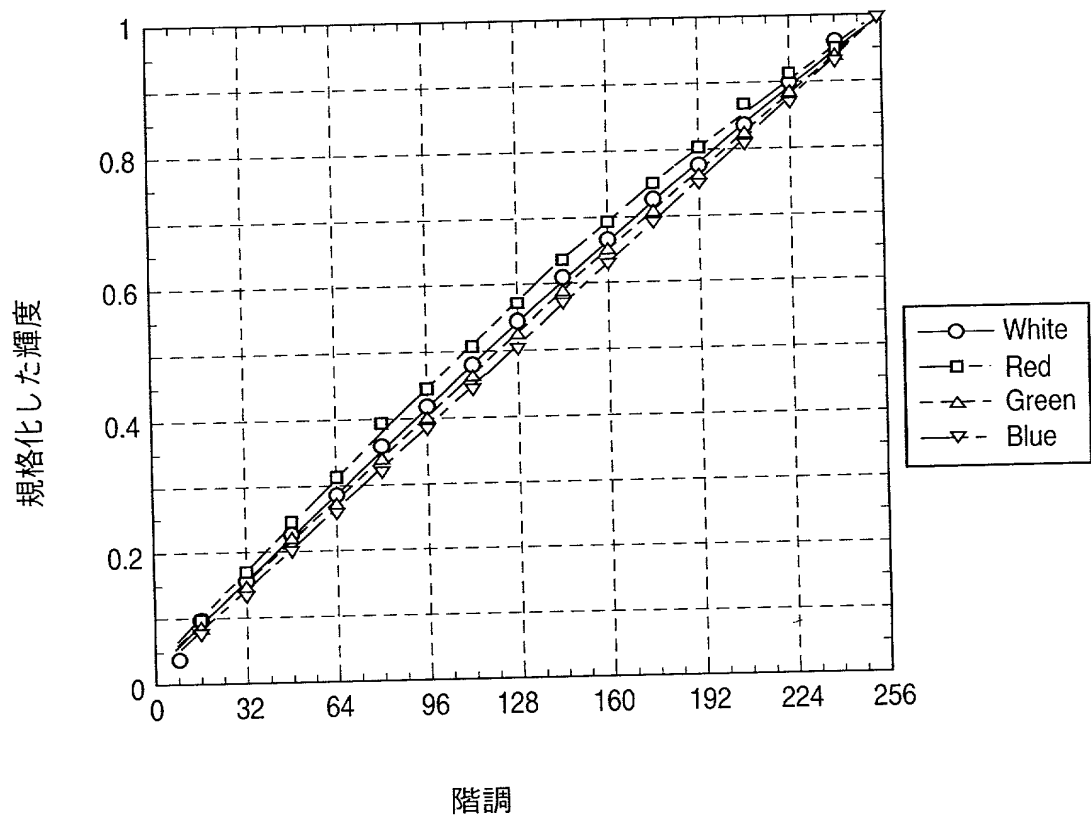
第1C図



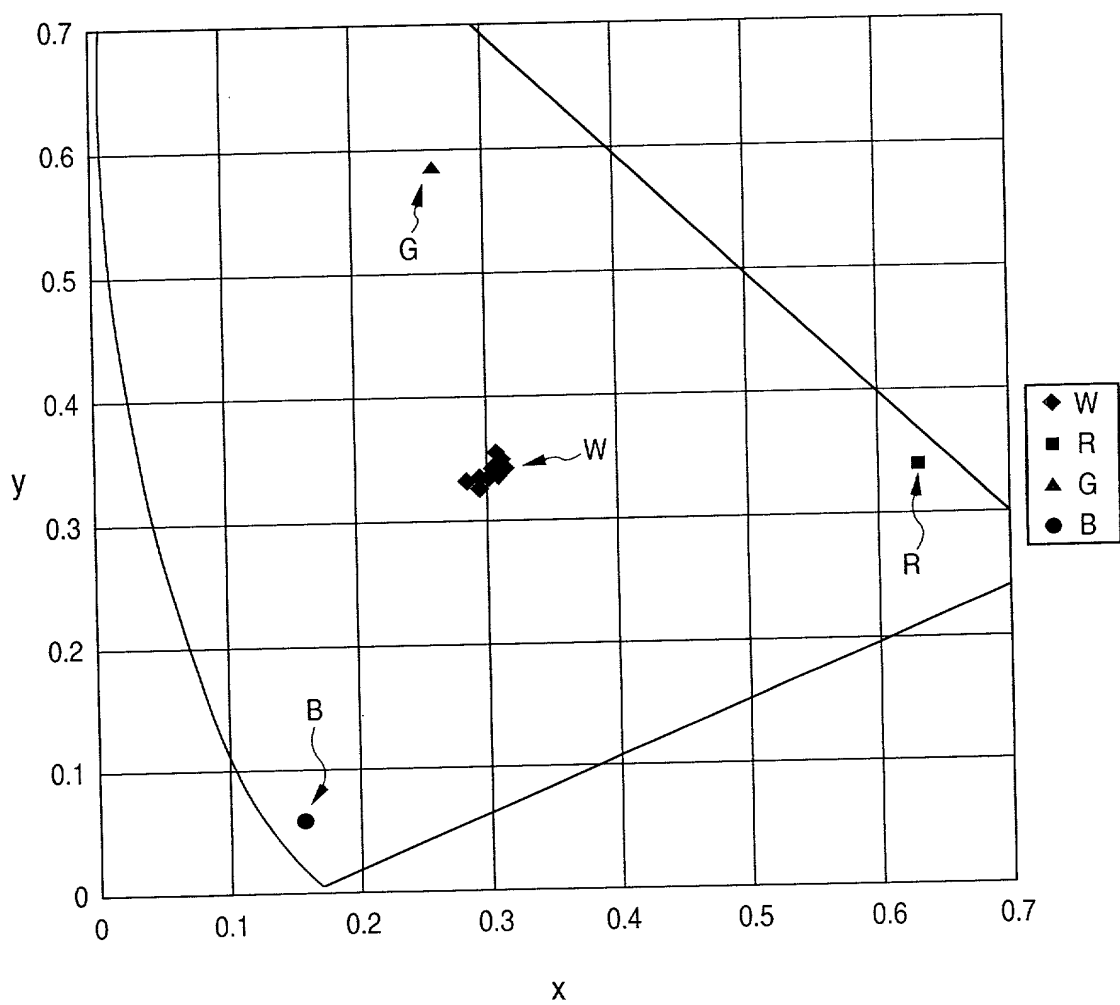
第2図



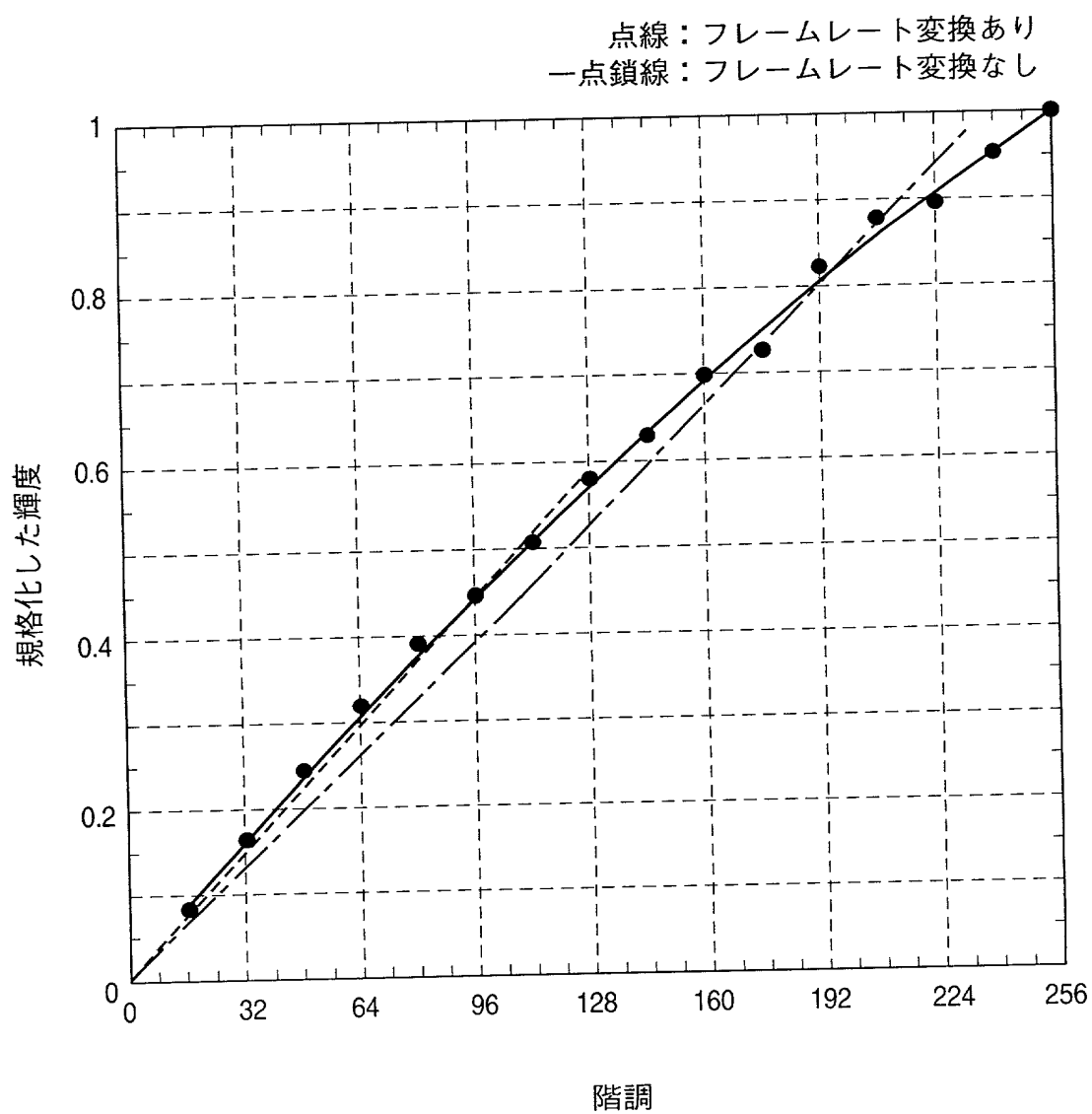
第4図



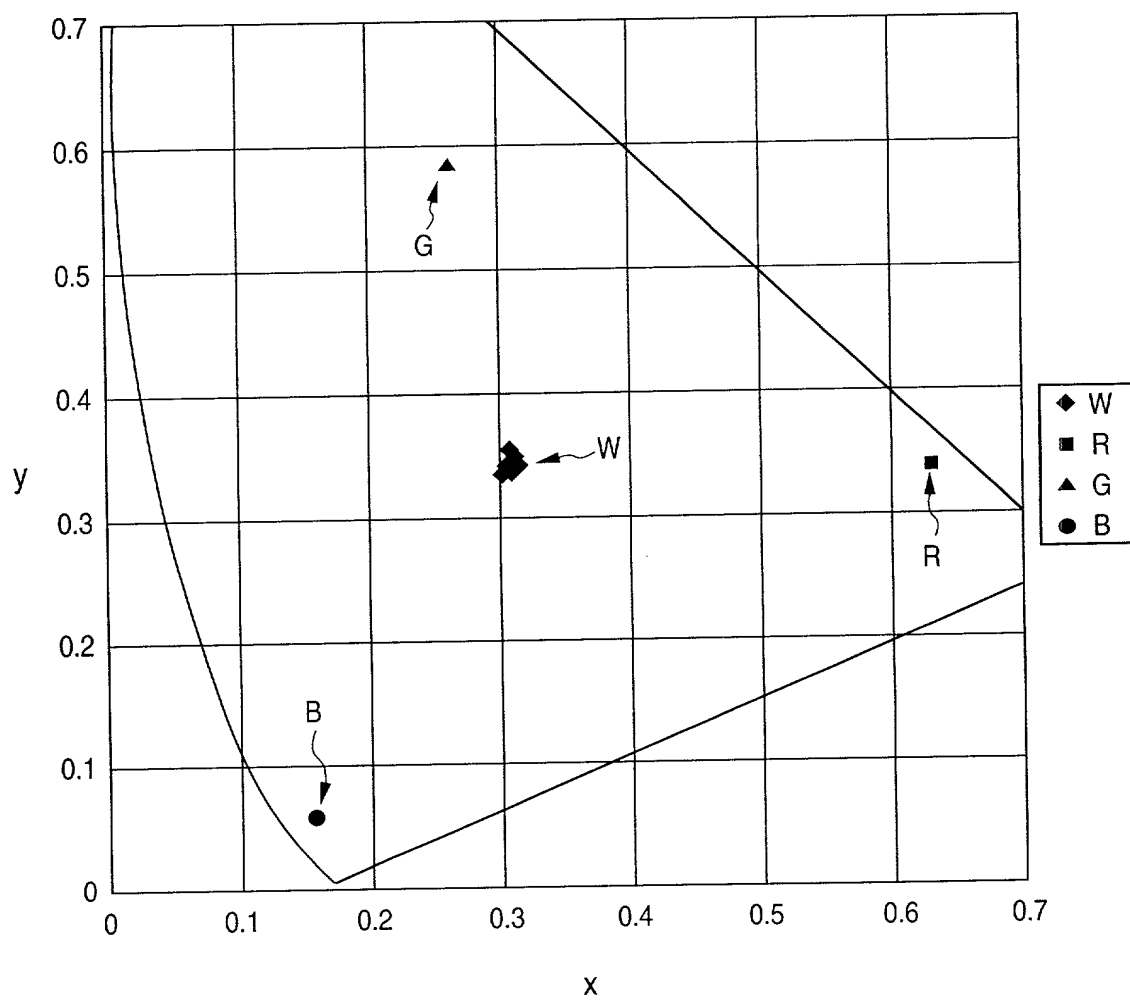
第 5 図



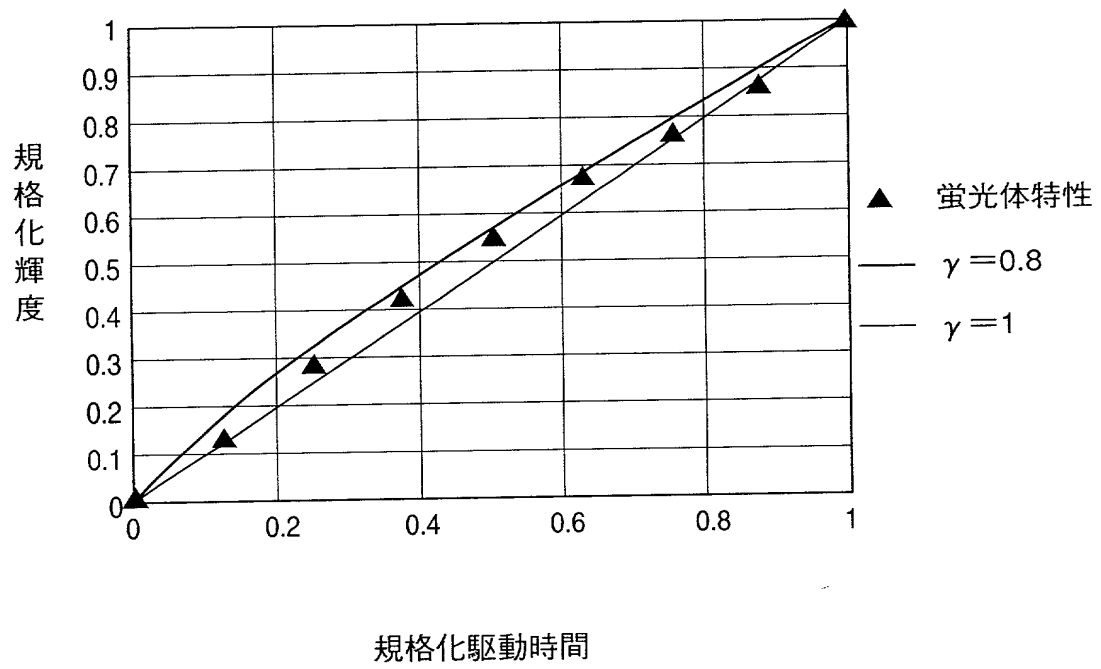
第6図



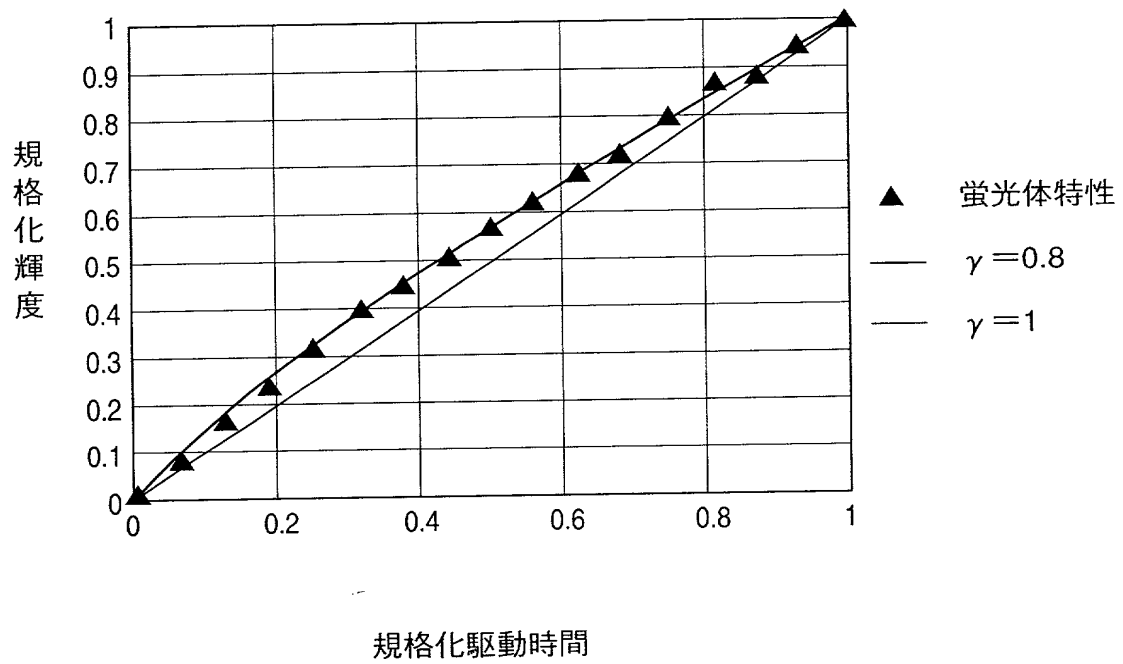
第 7 図



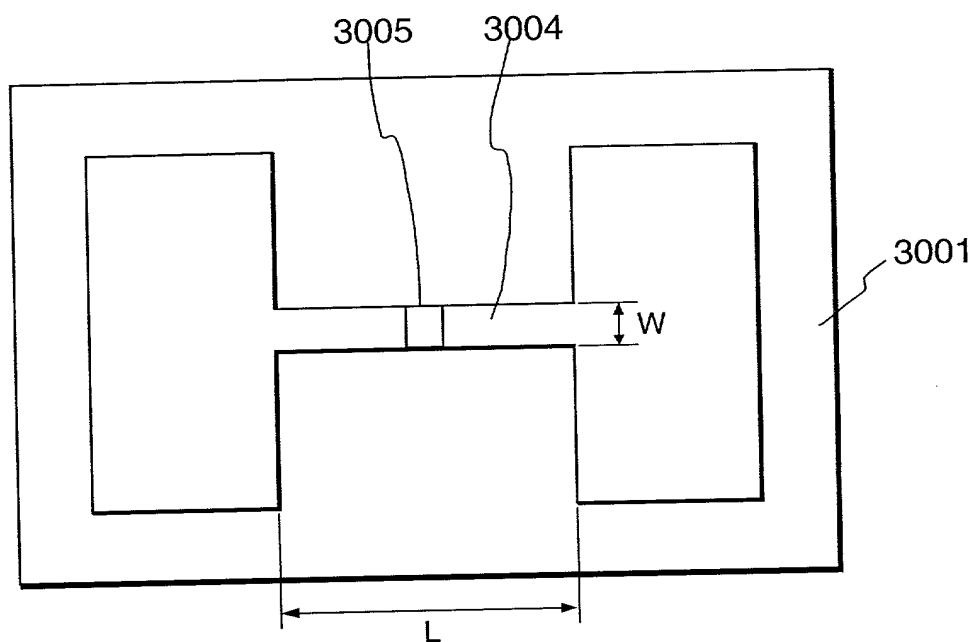
第8図



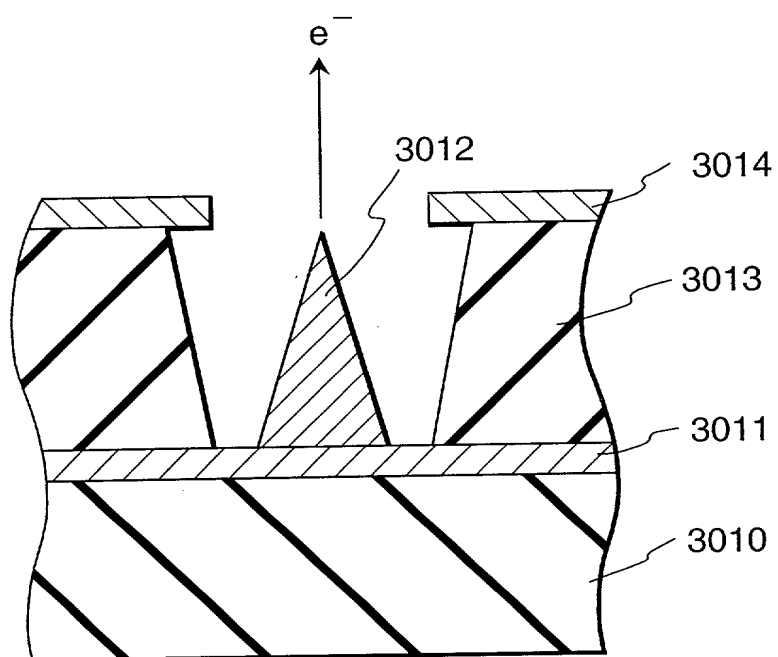
第9図



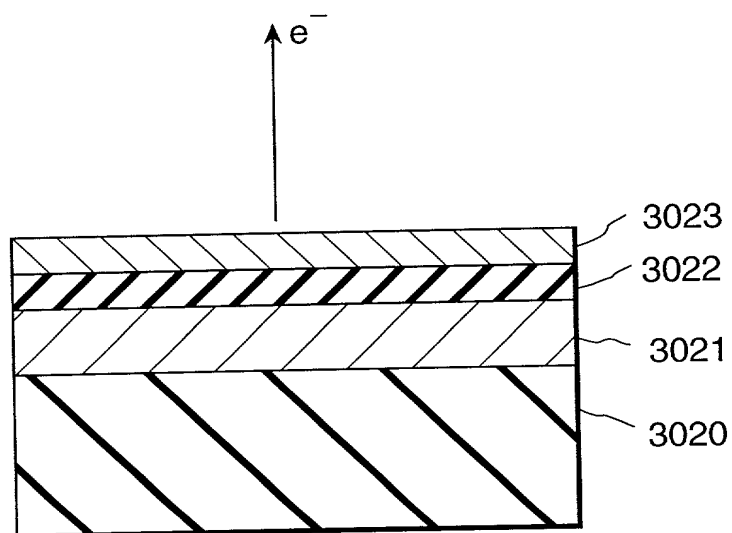
第 10 図



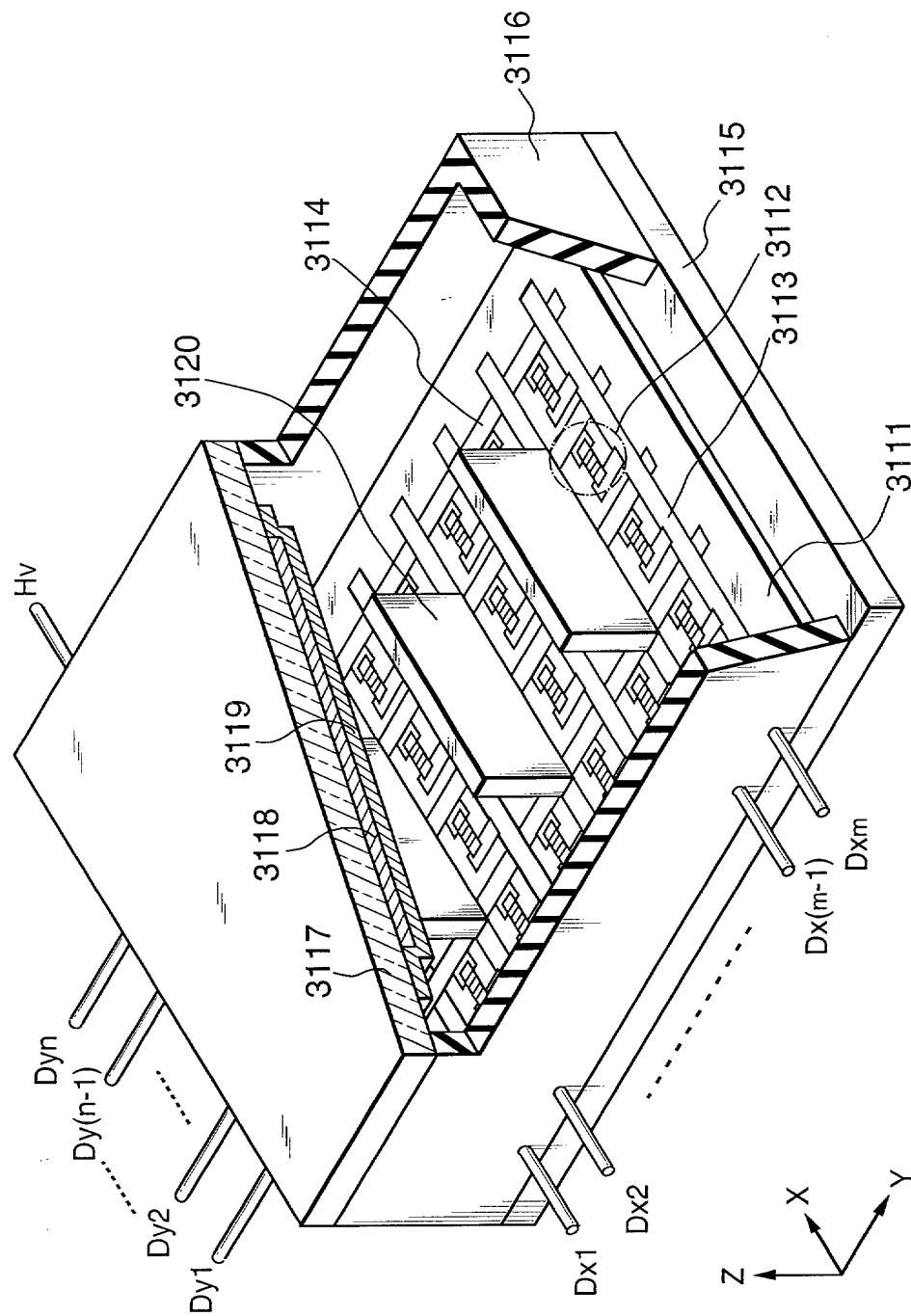
第 11 図



第 12 図



災
13
課



**COMBINED DECLARATION AND POWER OF ATTORNEY
FOR PATENT APPLICATION**

(Page 1)

As a below named inventor, I hereby declare that:

My residence, post office address and citizenship are as stated below next to my name.

I believe I am an original, first and joint inventor of the subject matter which is claimed and for which a patent is sought on the invention entitled IMAGE FORMING APPARATUS
the specification of which ☒ is attached hereto ☐ was filed on _____ as United States Application No. or PCT International Application No. _____ and was amended on _____ (if applicable).

I hereby state that I have reviewed and understand the contents of the above-identified specification, including the claims, as amended by any amendment referred to above.

I acknowledge the duty to disclose information which is material to patentability as defined in 37 CFR § 1.56.

I hereby claim foreign priority benefits under 35 U.S.C. § 119(a)-(d) or § 365(b), of any foreign application(s) for patent or inventor's certificate, or § 365(a) of any PCT international application which designates at least one country other than the United States, listed below and have also identified below any foreign application for patent or inventor's certificate, or PCT international application having a filing date before that of the application on which priority is claimed:

| Country | Application No. | Filed (Day/Mo./Yr.) | (Yes/No) Priority Claimed |
|---------|-----------------|---------------------|------------------------------|
| JAPAN | 11-098131 | 05 APRIL 1999 | Yes |
| JAPAN | 11-267468 | 21 SEPTEMBER 1999 | Yes |

I hereby claim the benefit under 35 U.S.C. § 120 of any United States application(s), or § 365(c) of any PCT international application designating the United States, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT international application in the manner provided by the first paragraph of 35 U.S.C. § 112, I acknowledge the duty to disclose information which is material to patentability as defined in 37 C.F.R. § 1.56 which became available between the filing date of the prior application and the national or PCT international filing date of this application.

| Application No. | Filed (Day/Mo./Yr.) | Status (Patented, Pending, Abandoned) |
|-----------------|---------------------|---------------------------------------|
|-----------------|---------------------|---------------------------------------|

I hereby appoint the practitioners associated with the firm and Customer Number provided below to prosecute this application and to transact all business in the Patent and Trademark Office connected therewith, and direct that all correspondence be addressed to the address associated with that Customer Number:

FITZPATRICK, CELLA, HARPER & SCINTO
Customer Number: 05514

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

COMBINED DECLARATION AND POWER OF ATTORNEY
FOR PATENT APPLICATION
(Page 2)

Full Name of Sole or First Inventor TATSURO YAMAZAKI

Inventor's signature _____

Date _____ Citizen/Subject of Japan

Residence 2-1-1-614, Minaminaruse 1-chome, Machida-shi, Tokyo, Japan

Post Office Address c/o CANON KABUSHIKI KAISHA, 30-2, Shimomaruko 3-chome, Ohta-ku,
Tokyo, Japan

Full Name of Sole or Second Inventor NAOTO ABE

Inventor's signature _____

Date _____ Citizen/Subject of Japan

Residence 1065-3-A201, Ichigaocho, Aoba-ku, Yokohama-shi, Kanagawa-
ken, Japan

Post Office Address c/o CANON KABUSHIKI KAISHA, 30-2, Shimomaruko 3-chome, Ohta-ku,
Tokyo, Japan

Full Name of Sole or Third Inventor MAKIKO MORI

Inventor's signature _____

Date _____ Citizen/Subject of Japan

Residence 14-11, Morinosato 5-chome, Atsugi-shi, Kanagawa-ken, Japan

Post Office Address c/o CANON KABUSHIKI KAISHA, 30-2, Shimomaruko 3-chome, Ohta-ku,
Tokyo, Japan

SDM\rnm